



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0039553
Application Number

출 원 년 월 일 : 2003년 06월 18일
Date of Application JUN 18, 2003

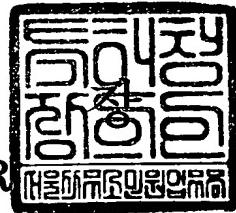
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0002		
【제출일자】	2003.06.18		
【발명의 명칭】	내부 클럭 신호 생성 회로 및 방법		
【발명의 영문명칭】	Circuit for generating a internal clock signal and a method for the same		
【출원인】			
【명칭】	(주)하이닉스 반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	신영무		
【대리인코드】	9-1998-000265-6		
【포괄위임등록번호】	1999-003525-1		
【발명자】			
【성명의 국문표기】	박기천		
【성명의 영문표기】	PARK,Ki Chon		
【주민등록번호】	731001-1541231		
【우편번호】	467-140		
【주소】	경기도 이천시 고담동 하이닉스반도체 고담기숙사 106-704		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 신영무 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	14	항	557,000 원
【합계】	590,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 내부 클럭 신호 생성 회로 및 방법에 관한 것으로, 외부 클럭 신호가 고주파인지 저주파인지를 판단하고 판단 결과에 따라 외부 클럭 신호를 파형 정형하여 내부 클럭 신호를 생성하거나 외부 클럭 신호를 그대로 내부 클럭 신호로 생성함으로써, 외부 클럭 신호의 주파수에 상관없이 외부 클럭 신호와 내부 클럭 신호의 라이징 엣지 타이밍을 일치시키고 내부 클럭 신호의 펄스폭 감소에 의해 회로 내부의 동작 마진이 감소되는 것을 방지하여 고주파와 저주파에서 동시에 사용 가능하면서 회로의 신뢰성을 향상시킬 수 있는 내부 클럭 신호 생성 회로 및 방법이 개시된다.

【대표도】

도 3

【색인어】

클럭 발생기, 외부 클럭 신호, 내부 클럭 신호, 고주파, 저주파, 동작 마진, 라이징 엣지

【명세서】**【발명의 명칭】**

내부 클럭 신호 생성 회로 및 방법{Circuit for generating a internal clock signal and a method for the same}

【도면의 간단한 설명】

도 1은 일반적인 내부 클럭 신호 생성 회로를 설명하기 위한 회로도이다.

도 2a 내지 도 2c는 도 1에 도시된 내부 클럭 신호 생성 회로에서 펄스 발생 과정을 설명하기 위한 내부 파형도이다.

도 3은 본 발명의 실시예에 따른 내부 클럭 신호 생성 회로를 설명하기 위한 회로도이다.

도 4는 도 3에 도시된 동작 주파수 판단부의 실시예를 설명하기 위한 회로도이다.

도 5는 도 3에 도시된 자연부의 실시예를 설명하기 위한 회로도이다.

도 6은 도 3에 도시된 내부 클럭 신호 생성 회로에서 펄스 발생 과정을 설명하기 위한 내부 파형도이다.

<도면의 주요 부분에 대한 부호의 설명>

110 : 자연부 120 : 펄스 정형부

200 : 칩셋 300 : 메모리 장치

310 : 동작 주파수 판단부 320 : 내부 클럭 신호 발생부

D320 : 지연부 P320 : 펄스 정형부

330 : 모드 레지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 내부 클럭 신호 생성 회로 및 방법에 관한 것으로, 특히 외부입력 클럭 신호를 이용하여 반도체 메모리 장치 내부에서 회로의 동작을 동기시키기 위한 내부 클럭 신호를 발생시키는 반도체 메모리 장치의 내부 클럭 발생 회로 및 방법에 관한 것이다.
- <14> 클럭 신호에 동기되어 동작하는 소자의 경우, 대부분 회로 내부에서 안정적인 동작을 위해 외부 클럭(External clock) 신호를 이용하여 펄스폭이 일정한 내부 클럭(Internal clock) 신호를 만들어 사용한다.
- <15> 도 1은 일반적인 내부 클럭 신호 생성 회로를 설명하기 위한 회로도이다.
- <16> 도 1을 참조하면, 내부 클럭 신호 생성 회로는 지연부(110)와, 펄스 정형부(120)를 포함한다. 여기서, 지연부(110)는 외부 클럭 신호(Ext_CLK)를 인가받아 요구되는 펄스폭에 해당하는 시간만큼 외부 클럭 신호(Ext_CLK)를 지연시킨다. 펄스 정형부(120)는 지연부(110)에 의해 일정 시간 지연된 신호(A)와 외부입력 클럭신호(Ext_CLK)를 논리 조합하여 목표 펄스폭(예를 들면, 지연부에서 이루어지는 지연 시간에 해당하는 펄스 폭)을 갖는 내부 클럭 신호(Int_CLK)를 발생시킨다.

- <17> 한편, 펄스 정형부(120)은 외부 클럭 신호(Ext_CLK) 및 지연부(110)의 지연 신호(A)를 논리 조합하는 제1 난드 게이트(N121)와, 외부 클럭 신호(Ext_CLK) 및 제1 난드 게이트(N121)의 출력 신호를 논리 조합하는 제2 난드 게이트(N122)와, 제2 난드 게이트(N122)의 출력 신호를 반전시키는 인버터(I121)를 이용하여 구현할 수 있다. 이때, 제2 난드 게이트(N122)와 인버터(I121) 사이에 난드 게이트를 추가로 더 설치할 수도 있다.
- <18> 도 2a 내지 도 2c는 도 1에 도시된 내부 클럭 신호 생성 회로에서 펄스 발생 과정을 설명하기 위한 내부 파형도이다.
- <19> 이 중에서, 도 2a는 지연부에 의한 펄스의 지연 폭이 외부 클럭 신호를 펄스폭보다 작은 경우를 나타낸 파형도이다. 도 2a를 참조하면, 지연부에 의해 지연된 지연 신호(A)와 외부 클럭 신호(Ext_CLK) 사이의 지연 폭(DW)이 외부 클럭 신호(Ext_CLK)의 펄스 폭(PW)보다 작은 경우에는, 펄스 정형부(도 1의 120)에 포함된 논리 소자들의 논리 조합에 의해 내부 클럭 신호(Int_CLK)가 정상적으로 발생된다. 즉, 내부 클럭 신호(Int_CLK)의 라이징 엣지가 외부 클럭 신호(Ext_CLK)의 라이징 엣지와 동기된다. 한편, 내부 클럭 신호(Int_CLK)의 펄스폭은 지연부에 의해 지연된 지연 신호(A)와 외부 클럭 신호(Ext_CLK) 사이의 지연 폭(DW)으로 설정된다. 따라서, 지연부의 지연 정도를 조절함으로써, 내부 클럭 신호(Int_CLK)의 펄스폭을 조절할 수 있다.
- <20> 또한, 도 2b는 지연부에 의한 펄스의 지연 폭이 외부 클럭 신호를 펄스폭과 일치하는 경우를 나타낸 파형도이다. 도 2b를 참조하면, 지연부에 의해 지연된 지연 신호(A)와 외부 클럭 신호(Ext_CLK) 사이의 지연 폭(DW)이 외부 클럭 신호(Ext_CLK)의 펄스 폭(PW)과 일치하는 경우에도, 펄스 정형부(도 1의 120)에 포함된 논리 소자들의 논리 조합에 의해 내부 클럭 신호(Int_CLK)가 정상적으로 발생된다. 즉, 내부 클럭 신호(Int_CLK)의 라이징 엣지가 외부 클럭

신호(Ext_CLK)의 라이징 엣지와 동기된다. 그리고, 이 경우에는 외부 클럭 신호(Ext_CLK)의 펄스폭(PW)이 그대로 내부 클럭 신호(Int_CLK)의 펄스폭으로 설정된다.

<21> 한편, 지연부에 의해 지연된 지연 신호(A)와 외부 클럭 신호(Ext_CLK) 사이의 지연 폭(DW)이 외부 클럭 신호(Ext_CLK)의 펄스 폭(PW)보다 큰 경우에는 문제가 발생될 수 있다.

<22> 도 2c는 지연부에 의한 펄스의 지연 폭이 외부 클럭 신호를 펄스폭보다 큰 경우를 나타낸 파형도이다. 도 2c를 참조하면, 지연부에 의해 지연된 지연 신호(A)와 외부 클럭 신호(Ext_CLK) 사이의 지연 폭(DW)이 외부 클럭 신호(Ext_CLK)의 펄스 폭(PW)보다 큰 경우에는, 펄스 정형부(도 1의 120)에 포함된 논리 소자들의 논리 조합에 의해 내부 클럭 신호(Int_CLK)가 비정상적으로 발생된다. 즉, 내부 클럭 신호(Int_CLK)의 라이징 엣지가 외부 클럭 신호(Ext_CLK)의 라이징 엣지와 동기되지 않고, 외부 클럭 신호(Ext_CLK)의 주파수에 따라 내부 클럭 신호(Int_CLK)가 인에이블되는 시점(라이징 엣지가 발생되는 시점)이 달라진다. 또한, 내부 클럭 신호(Int_CLK)의 펄스폭이 지연부에 의해 지연된 펄스의 하이 레벨 부분과 외부 클럭 신호(Ext_CLK)의 하이 레벨이 중첩되지 않는 부분의 폭(IW)으로 설정되며, 동작 주파수(예를 들면, 외부 클럭 신호)에 따라 내부 클럭 신호(Int_CLK)의 펄스폭이 급격하게 감소될 수 있다.

<23> 이렇게, 내부 클럭 신호가 인에이블 되는 시점(예를 들면, 라이징 엣지)이 외부 클럭 신호의 주파수에 따라 변하고 펄스폭이 급격하게 감소하면, 회로 내부의 동작 마진을 감소시켜 오동작이 발생되는 등 회로의 신뢰성을 저하시키고, 심한 경우 불량이 발생될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 외부 클럭 신호가 고주파인지 저주파인지를 판단하고 판단 결과에 따라 외부 클럭 신호를 파형 정형하여 내부 클럭 신호를 생성하거나 외부 클럭 신호를 그대로 내부 클럭 신호로 생성함으로써, 외부 클럭 신호의 주파수에 상관없이 외부 클럭 신호와 내부 클럭 신호의 라이징 엣지 타이밍을 일치시키고 내부 클럭 신호의 펄스폭 감소에 의해 회로 내부의 동작 마진이 감소되는 것을 방지하여 고주파와 저주파에서 동시에 사용 가능하면서 회로의 신뢰성을 향상시킬 수 있는 내부 클럭 신호 생성 회로 및 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<25> 본 발명의 실시예에 따른 내부 클럭 신호 생성 회로는 외부 클럭 신호가 저주파인지 고주파인지를 판단하는 동작 주파수 판단부, 및 동작 주파수 판단부의 출력에 따라 외부 클럭 신호를 파형 정형하여 내부 클럭 신호를 발생시키거나, 외부 클럭 신호를 그대로 내부 클럭 신호로 발생시키는 내부 클럭 신호 발생부를 포함한다.

<26> 상기에서, 동작 주파수 판단부는 카스 레이턴시에 따라 외부 클럭 신호가 고주파인지 저주파인지를 판단하는 확인 신호를 발생시킨다. 이때, 카스 레이턴시는 0부터 7까지의 값을 가지며, 동작 주파수 판단부는 카스 레이턴시의 값이 4 이상일 경우 확인 신호를 발생시킬 수 있다. 한편, 카스 레이턴시를 저장하기 위한 모드 레지스터를 더 포함할 수 있다.

<27> 내부 클럭 신호 발생부는, 외부 클럭 신호를 일정 시간만큼 지연시키기 위한 지연부, 및 동작 주파수 판단부의 출력에 따라 외부 클럭 신호 및 지연 부의 출력을 논리 조합하여 내부

클럭 신호를 생성하거나, 외부 클럭 신호를 그대로 내부 클럭 신호로 발생시키는 펄스 정형부를 포함한다. 이때, 내부 클럭 신호는 외부 클럭 신호의 펄스폭과 동일한 펄스폭을 갖거나, 자연부의 자연 시간에 해당하는 펄스폭을 갖는다.

<28> 펄스 정형부는, 동작 주파수 판단부의 출력에 따라 외부 클럭 신호 및 자연부의 출력 신호를 논리조합하는 제1 난드 게이트와, 외부 클럭 신호 및 제1 난드 게이트의 출력 신호가 입력되는 제2 난드 게이트, 및 제2 난드 게이트의 출력 신호를 반전시키기 위한 인버터를 포함한다.

<29> 자연부는 RC 자연 회로를 포함하여 구성된다. 이러한 자연부는 외부 클럭 신호를 반전시키는 제1 인버터와, 제1 인버터의 출력과 제1 노드에 직렬 접속된 다수의 저항과, 제1 노드와 접지간에 접속된 다수의 모스캐패시터, 및 제1 노드와 출력 단자간에 접속되는 제2 인버터를 포함하여 구현할 수 있다. 또한, 다수의 저항 양단에 각각 접속되며 불로윙 가능한 제1 퓨즈, 및 제1 노드와 다수의 모스캐패시터 각각에 접속되며 불로윙 가능한 제2 퓨즈를 더 포함한다.

<30> 본 발명의 실시예에 따른 내부 클럭 신호 생성 방법은 외부 클럭 신호가 저주파인지 고주파인지를 판단하는 단계와, 및 동작 주파수 판단부의 출력에 따라 외부 클럭 신호를 파형 정형하여 내부 클럭 신호를 발생시키거나, 외부 클럭 신호를 그대로 내부 클럭 신호로 발생시키는 클럭 발생 단계를 포함한다.

<31> 상기에서, 판단 단계는 카스 레이턴시로 외부 클럭 신호가 고주파인지 저주파인지를 판단한다. 이때, 카스 레이턴시는 0부터 7까지의 값을 가지며, 카스 레이턴시의 값이 4 이상일 경우 외부 클럭 신호를 고주파로 판단한다.

<32> 클럭 발생 단계는 외부 클럭 신호가 저주파인지 고주파인지를 판단하는 단계, 외부 클럭 신호가 저주파이면 외부 클럭 신호를 파형 정형하여 내부 클럭 신호를 발생시키는 단계, 및 외부 클럭 신호가 고주파이면 외부 클럭 신호를 그대로 내부 클럭 신호로 발생시키는 단계를 포함한다.

<33> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

<34> 도 3은 본 발명의 실시예에 따른 내부 클럭 신호 생성 회로를 설명하기 위한 회로도이다.

<35> 도 3을 참조하면, 반도체 메모리 장치(300)에 포함된 본 발명의 실시예에 따른 내부 클럭 신호 생성 회로는 동작 주파수 판단부(310)와 내부 클럭 신호 발생부(320)를 이용하여 구현할 수 있다.

<36> 상기에서, 동작 주파수 판단부(310)는 반도체 메모리 장치(300)의 동작 주파수(예를 들면, 외부 클럭 신호의 주파수)에 따라 확인 신호(High Frequency; HF)를 발생시키며, 외부 클럭 신호(Ext_CLK)가 일정 주파수보다 높아서 고주파에 해당되면 확인 신호(HF)를 활성화(본 실

시 예에서는 로우 레벨로 정의함)시킨다. 내부 클럭 신호 발생부(320)는 확인 신호(HF)에 따라 외부 클럭 신호(Ext_CLK)를 파형 정형하여 내부 클럭 신호(Int_CLK)를 발생시키거나, 외부 클럭 신호(Ext_CLK)를 그대로 내부 클럭 신호(Int_CLK)로 발생시킨다. 이때, 외부 클럭 신호(Ext_CLK)가 저주파에 해당되면, 외부 클럭 신호(Ext_CLK)를 파형 정형하여 내부 클럭 신호(Int_CLK)를 발생시키고, 고주파에 해당되면 외부 클럭 신호(Ext_CLK)를 그대로 내부 클럭 신호(Int_CLK)로 발생시킬 수 있다. 한편, 외부 클럭 신호(Ext_CLK)의 파형 정형은 외부 클럭 신호(Ext_CLK)와 외부 클럭 신호(Ext_CLK)의 지연 신호(A)를 논리 조합하는 방식으로 이루어질 수 있다.

<37> 상기에서와 같이, 동작 주파수 판단부(310)는 반도체 메모리 장치(300)로 입력되는 외부 클럭 신호(Ext_CLK)가 고주파인지 저주파인지를 판단(예를 들면, 약 100MHz의 경우는 저주파, 500MHz 이상이면 고주파)하여 일정 주파수 이상이면 확인 신호(High Frequency; HF)를 활성화시키는데, 외부 클럭 신호(Ext_CLK)가 고주파인지는 여러 가지의 방법과 그에 따른 구성을 통해 판단할 수 있다.

<38> 예를 들면, 메모리 장치(300)가 동작하기 전에는 외부의 칩셋(Chip set; 200)으로부터 버스트 랭쓰(Burst Length), 버스트 타입(Burst Type), 카스 레이턴시(Column Address Strobe Latency; CL) 및 오퍼레이팅 모드(Operating Mode)와 같은 신호를 포함하는 MRS 커맨드(Mode Register Set Command)가 입력되어 메모리 장치(300)의 동작 모드가 결정된다. MRS 커맨드는 메모리 장치(300)에 구비된 모드 레지스터(330)에 저장된다. 이때, 외부의 칩셋(Chip set; 200)으로부터 입력되어 모드 레지스터(330)에 저장된 MRS 커맨드 중에서 카스 레이턴시에 대한 데이터를 기준으로 확인 신호(HF)의 활성화 여부를 결정할 수 있다. 카스 레이턴시란 어떤 메

모리셀(Page 혹은 Address Block)이 활성화 되어 있는 경우, 그 페이지의 데이터를 출력하라고 명령을 내리면 실제로 출력되기까지의 시간 지연(Latency)을 뜻한다.

<39> 일반적으로, 카스 레이턴시에 대한 데이터는 3비트로 이루어지는데, 이렇게 3비트로 이루어질 경우, 표 1에서와 같이, 외부 클럭 신호의 주파수에 따라 0부터 7까지의 값(000 내지 111)을 가질 수 있다. 이때, 동작 주파수 판단부(310)는 카스 레이턴시에 대한 데이터를 가지고 외부 클럭 신호가 고주파인지 저주파인지를 판단할 수 있다.

<40> 예를 들어, 카스 레이턴시에 대한 데이터가 4 이상(100 내지 111)이면 외부 클럭 신호가 고주파인 것으로 간주하고 확인 신호(HF)를 활성화시키도록 설정할 수 있다. 이 경우, 카스 레이턴시에 대한 데이터가 4 이상이면 3비트(CL<0> 내지 CL<2>)의 데이터 중에서 최상위 비트(CL<2>)는 항상 '1'이 되므로, 도 4에서와 같이, 최상위 비트(CL<2>)만을 센싱하여 최상위 비트가 '1'인 경우에만 항상 확인 신호(HF)가 활성화(로우 레벨)되도록 최상위 비트(CL<2>)의 레벨을 반전시키는 인버터(I310)만으로도 동작 주파수 판단부(310)를 구현할 수 있다.

<41> 【표 1】

CL<2>	CL<1>	CL<0>	CL 데이터 값
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

<42> 이렇게, 최상위 비트(CL<2>)의 데이터 값만을 센싱하여 확인 신호(HF)를 출력하는 경우에는, 최상위 비트(CL<2>)의 데이터를 반전시키는 인버터만으로도 동작 주파수 판단부(310)를 구현하는 것이 가능하다.

- <43> 그 외의 경우에도, 카스 레이턴시에 대한 데이터를 이용한 논리 조합을 통해서 외부 클럭 신호가 고주파인지를 판단하기 위한 기준 주파수를 임의로 설정할 수 있다.
- <44> 한편, 도면에는 도시되어 있지 않지만, 메모리 장치(300) 내부에 외부 클럭 신호(Ext_CLK)의 주파수 센싱 수단(도시되지 않음)을 설치하고, 외부에서 입력되는 외부 클럭 신호(Ext_CLK)의 주파수를 기준 주파수와 비교하여 외부 클럭 신호의 주파수가 고주파인지 저주파인지를 판단한 후, 그 결과에 따라 외부 클럭 신호가 고주파인 경우에만 확인 신호(HF)를 활성화시킬 수도 있다.
- <45> 내부 클럭 신호 발생부(320)에서는 외부 클럭 신호(Ext_CLK)를 이용하여 내부 클럭 신호(Int_CLK)를 생성하며, 확인 신호(HF)에 따라서 외부 클럭 신호(Ext_CLK)를 변형시켜 저주파용 내부 클럭 신호(Int_CLK)를 생성할 것인지, 외부 클럭 신호(Ext_CLK)를 그대로 고주파용 내부 클럭 신호(Int_CLK)로 사용할 것인지가 결정된다.
- <46> 이러한 내부 클럭 신호 발생부(320)는, 외부 클럭 신호(Ext_CLK)를 일정 시간만큼 지연시켜 지연 신호(A)를 발생시키는 지연부(D320), 및 외부 클럭 신호(Ext_CLK) 및 지연 신호(A)를 논리 조합하여 저주파용 내부 클럭 신호(Int_CLK)를 생성하거나, 확인 신호(HF)가 활성화되면 외부 클럭 신호(Ext_CLK)를 그대로 고주파용 내부 클럭 신호(Int_CLK)로 전송하는 펄스 정형부(P320)를 사용하여 구현할 수 있다.
- <47> 상기에서, 지연부(D320)는, 도 5에 도시된 바와 같이, 외부 클럭 신호(Ext_CLK)를 전달 받아 각각 일정 지연을 추가하여 다음 단에 접속된 인버터로 전달하는 상호 직렬 연결된 다수 개의 인버터(도면에서는 간단히 2개만 도시됨; IV1, IV2)와, 임의의 두 인버터(IV1 및 IV2) 사

이에 상호 직렬접속된 다수개의 저항(도면에서는 두개만 도시됨; R1 및 R2)과, 다수개의 저항(R1 및 R2) 중 최후단에 접속된 저항(R2)의 출력단과 접지단 사이에 상호 병렬접속된 다수개의 모스캐패시터(도면에서는 3개만 도시됨; C1, C2, C3)를 이용하여 구현할 수 있다. 다수개의 저항(R1 및 R2) 및 모스캐패시터(C1, C2, C3)는 각각의 접속 노드사이에 병렬접속되는 각각의 퓨즈(f1, f2, f3, f4)를 추가로 구비하여 이들 퓨즈의 블로윙(Blowing) 여부에 따라 그 접속여부가 선택적으로 제어되는 구성을 하고 있다.

<48> 상기의 구성으로 이루어진 지연부는 저항에 연결된 퓨즈(f1)를 끊게 되면 펄스폭이 증가되는 한편, 모스캐패시터에 접속된 퓨즈(f2)를 끊으면 펄스폭이 감소된다. 이러한 퓨즈 블로윙 방식에 의해 각 퓨즈에 연결된 저항 및 모스캐패시터를 선택적으로 연결함으로써, 그에 따른 지연 정도를 조절할 수 있다.

<49> 한편, 펄스 정형부(P320)는, 외부 클럭 신호(Ext_CLK), 지연 신호(A) 및 확인 신호(HF)가 입력되는 제1 논리 수단(N321), 및 외부 클럭 신호(Ext_CLK) 및 제1 논리 수단(N321)의 출력 신호가 입력되는 제2 논리 수단(N322)을 사용하여 구현할 수 있다. 이때, 제1 논리 수단(N321) 또는 제2 논리 수단(N322)이 NAND 게이트로 이루어진 경우에는, 제2 논리 수단(N322)의 출력단에 제2 논리 수단(N322)의 출력 신호를 반전시키기 위한 인버터(I321)가 더 설치한다. 한편, 도면에서는, 제1 논리 수단(N321)과 인버터(I321) 사이에 하나의 논리 수단(N322)밖에 설치되어 있지 않지만, 경우에 따라서 그 이상이 설치되어도 무방하다.

<50> 확인 신호(HF)에 따라, 상기의 구성으로 이루어진 내부 클럭 신호 발생부(320)가 어떻게 동작되는지를 파형도와 함께 보다 상세하게 설명하면 다음과 같다. 이때, 외부 클럭 신호가 저주파인 경우에는, 확인 신호(HF)가 하이 레벨(비활성)로 발생되어 제1 논리 수단(N321)의 동작에 아무런 영향을 주지 않기 때문에, 내부 클럭 신호 발생부(320)의 내부 파형도는 도 2a 및

도 2b와 동일하다. 이때, 생성되는 내부 클럭 신호(Int_CLK)는 저주파용 내부 클럭 신호(Int_CLK)가 되며, 저주파용 내부 클럭 신호는 외부 클럭 신호의 펄스폭과 동일한 펄스폭이나, 외부 클럭 신호에 대한 지연 신호의 지연 시간에 해당하는 펄스폭을 갖는다.

<51> 하지만, 외부 클럭 신호가 고주파에 해당되어 확인 신호(HF)가 로우 레벨로 활성화 된 경우에는 상이하게 동작한다. 도 6은 도 3에 도시된 내부 클럭 신호 생성 회로에서 펄스 발생 과정을 설명하기 위한 내부 파형도이다.

<52> 도 3 및 도 6을 참조하면, 외부 클럭 신호가 고주파가 되면, 지연부(D320)에 의해 지연 된 지연 신호(A)와 외부 클럭 신호(Ext_CLK) 사이의 지연 폭(DW)이 외부 클럭 신호(Ext_CLK)의 펄스 폭(PW)보다 커져 문제가 발생될 수 있다. 하지만, 외부 클럭 신호가 고주파가 되면, 확인 신호(HF)가 로우 레벨로 활성화되면서 지연부(D320)의 지연 신호(A)에 상관없이 제1 논리 수단(N321)이 항상 하이 레벨의 신호를 출력하는 디스에이블 상태가 된다. 따라서, 외부 클럭 신호(Ext_CLK)와 지연 신호(A)의 논리 조합은 이루어지지 않고, 외부 클럭 신호(Ext_CLK)는 제2 논리 수단(N322) 및 인버터(I321)를 통해 그대로 출력된다. 이때, 외부 클럭 신호(Ext_CLK)는 제2 논리 수단(N322) 및 인버터(I321)에 의해 약간 지연될 수 있으나, 지연 정도는 무시할 정도로 작다.

<53> 이렇듯, 외부 클럭 신호가 고주파일 경우에는 외부 클럭 신호(Ext_CLK)가 그래도 고주파 용 내부 클럭 신호(Int_CLK)로 출력되므로, 내부 클럭 신호(Int_CLK)의 펄스폭이 급격하게 감소하거나 라이징 엣지가 동기화되지 않는 문제점이 발생되는 것을 방지하여 동작 마진을 증가시키고 회로의 신뢰성을 향상시킬 수 있다.

【발명의 효과】

<54> 상술한 바와 같이, 본 발명은 외부 클럭 신호가 저주파일 경우에는 외부 클럭 신호와 외부 클럭 신호를 지연시킨 지연 신호를 이용하여 저주파용 내부 클럭 신호를 발생시키고, 고주파일 경우에는 외부 클럭 신호를 그대로 고주파용 내부 클럭 신호로 발생시킴으로써, 외부 클럭 신호의 주파수에 상관없이 외부 클럭 신호와 내부 클럭 신호의 라이징 엣지 타이밍을 일치시키고 내부 클럭 신호의 펄스폭 감소에 의해 회로 내부의 동작 마진이 감소되는 것을 방지하여 고주파와 저주파에서 동시에 사용 가능하면서 회로의 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

외부 클럭 신호가 저주파인지 고주파인지를 판단하는 동작 주파수 판단부; 및 상기 동작 주파수 판단부의 출력에 따라 상기 외부 클럭 신호를 파형 정형하여 내부 클럭 신호를 발생시키거나, 상기 외부 클럭 신호를 그대로 내부 클럭 신호로 발생시키는 내부 클럭 신호 발생부를 포함하는 내부 클럭 신호 생성 회로.

【청구항 2】

제 1 항에 있어서,

상기 동작 주파수 판단부는 카스 레이턴시에 따라 상기 외부 클럭 신호가 고주파인지 저주파인지를 판단하는 확인 신호를 발생시키는 내부 클럭 신호 생성 회로.

【청구항 3】

제 2 항에 있어서,

상기 카스 레이턴시는 0부터 7까지의 값을 가지며, 상기 동작 주파수 판단부는 상기 카스 레이턴시의 값이 4 이상일 경우 상기 확인 신호를 발생시키는 내부 클럭 신호 생성 회로.

【청구항 4】

제 2 항에 있어서,

상기 카스 레이턴시를 저장하기 위한 모드 레지스터를 더 포함하는 내부 클럭 신호 생성 회로.

【청구항 5】

제 1 항에 있어서, 상기 내부 클럭 신호 발생부는,
상기 외부 클럭 신호를 일정 시간만큼 지연시키기 위한 지연부; 및
상기 동작 주파수 판단부의 출력에 따라 상기 외부 클럭 신호 및 상기 지연 부의 출력을
논리 조합하여 내부 클럭 신호를 생성하거나, 상기 외부 클럭 신호를 그대로 상기 내부 클럭
신호로 발생시키는 펄스 정형부를 포함하는 내부 클럭 신호 생성 회로.

【청구항 6】

제 1 항 또는 제 5 항에 있어서,
상기 내부 클럭 신호는 상기 외부 클럭 신호의 펄스폭과 동일한 펄스폭을 갖거나, 상기
지연부의 지연 시간에 해당하는 펄스폭을 갖는 내부 클럭 신호 생성 회로.

【청구항 7】

제 5 항에 있어서, 상기 펄스 정형부는,
상기 동작 주파수 판단부의 출력에 따라 상기 외부 클럭 신호 및 상기 지연부의 출력
신호를 논리조합하는 제1 난드 게이트;

상기 외부 클럭 신호 및 상기 제1 난드 게이트의 출력 신호가 입력되는 제2 난드 게이트;
 및

상기 제2 난드 게이트의 출력 신호를 반전시키기 위한 인버터를 포함하는 내부 클럭 신호 생성 회로.

【청구항 8】

제 5 항에 있어서,

상기 지연부는 RC 지연 회로를 포함하여 구성되는 내부 클럭 신호 생성 회로.

【청구항 9】

제 5 항 또는 제 8 항에 있어서,

상기 지연부는 상기 외부 클럭 신호를 반전시키는 제1 인버터;

상기 제1 인버터의 출력과 제1 노드에 직렬 접속된 다수의 저항;

상기 제1 노드와 접지간에 접속된 다수의 모스캐패시터; 및

상기 제1 노드와 출력 단자간에 접속되는 제2 인버터를 포함하여 구성되는 내부 클럭 신호 생성 회로.

【청구항 10】

제 9 항에 있어서,

상기 다수의 저항 양단에 각각 접속되며 불로워 가능한 제1 퓨즈; 및

상기 제1 노드와 상기 다수의 모스캐패시터 각각에 접속되며 블로윙 가능한 제2 퓨즈를 더 포함하는 내부 클럭 신호 생성 회로.

【청구항 11】

외부 클럭 신호가 저주파인지 고주파인지를 판단하는 단계; 및
상기 동작 주파수 판단부의 출력에 따라 상기 외부 클럭 신호를 파형 정형하여 내부 클럭 신호를 발생시키거나, 상기 외부 클럭 신호를 그대로 내부 클럭 신호로 발생시키는 클럭 발생 단계를 포함하는 내부 클럭 신호 생성 방법.

【청구항 12】

제 11 항에 있어서,
상기 판단 단계에서 카스 레이턴시로 외부 클럭 신호가 고주파인지 저주파인지를 판단하는 하는 내부 클럭 신호 생성 방법.

【청구항 13】

제 12 항에 있어서,
상기 카스 레이턴시는 0부터 7까지의 값을 가지며, 상기 카스 레이턴시의 값이 4 이상일 경우 상기 외부 클럭 신호를 고주파로 판단하는 내부 클럭 신호 생성 방법.

【청구항 14】

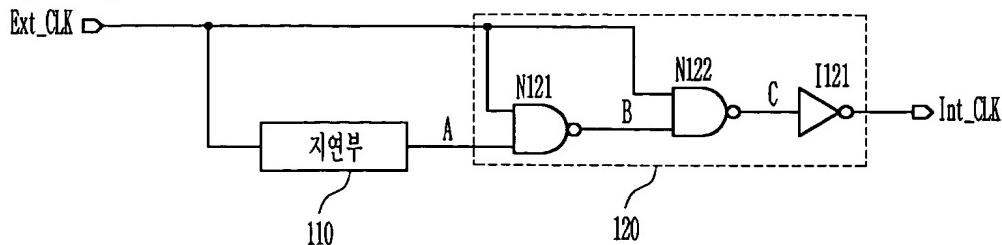
제 11 항에 있어서, 상기 클럭 발생 단계는,

상기 외부 클럭 신호가 저주파이면 상기 외부 클럭 신호를 파형 정형하여 내부 클럭 신호를 발생시키는 단계; 및

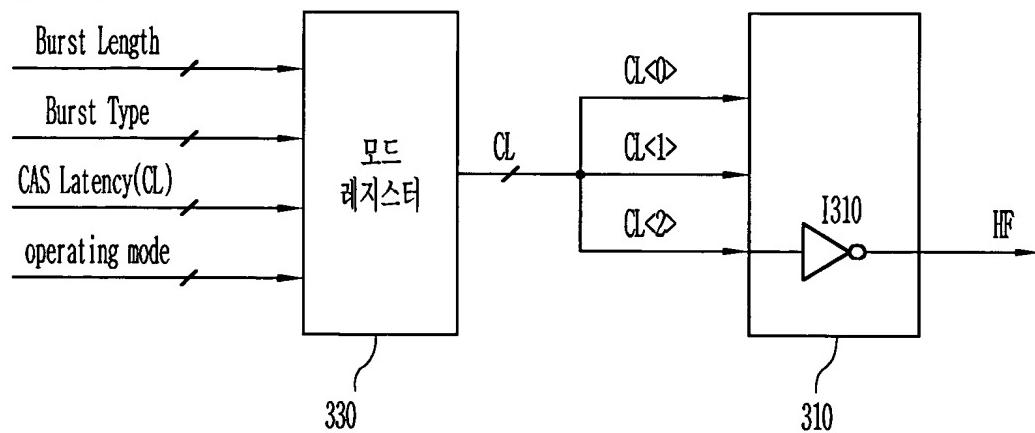
상기 외부 클럭 신호가 고주파이면 상기 외부 클럭 신호를 그대로 내부 클럭 신호로 발생시키는 단계를 포함하는 내부 클럭 신호 생성 방법.

【도면】

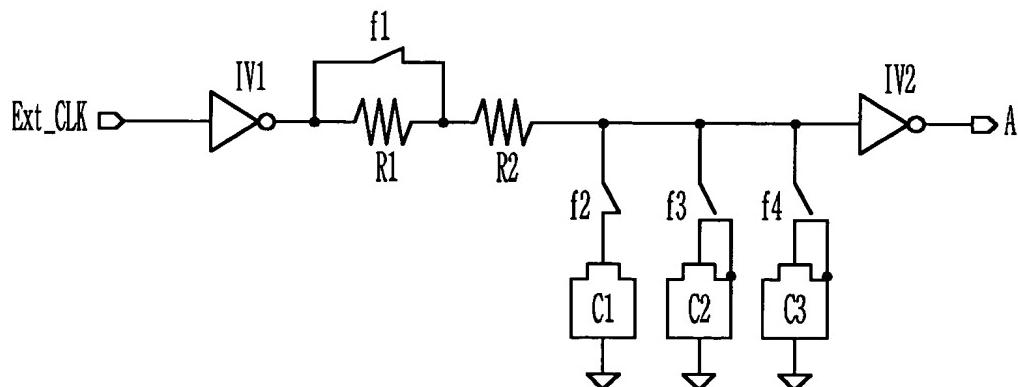
【도 1】



【도 4】



【도 5】

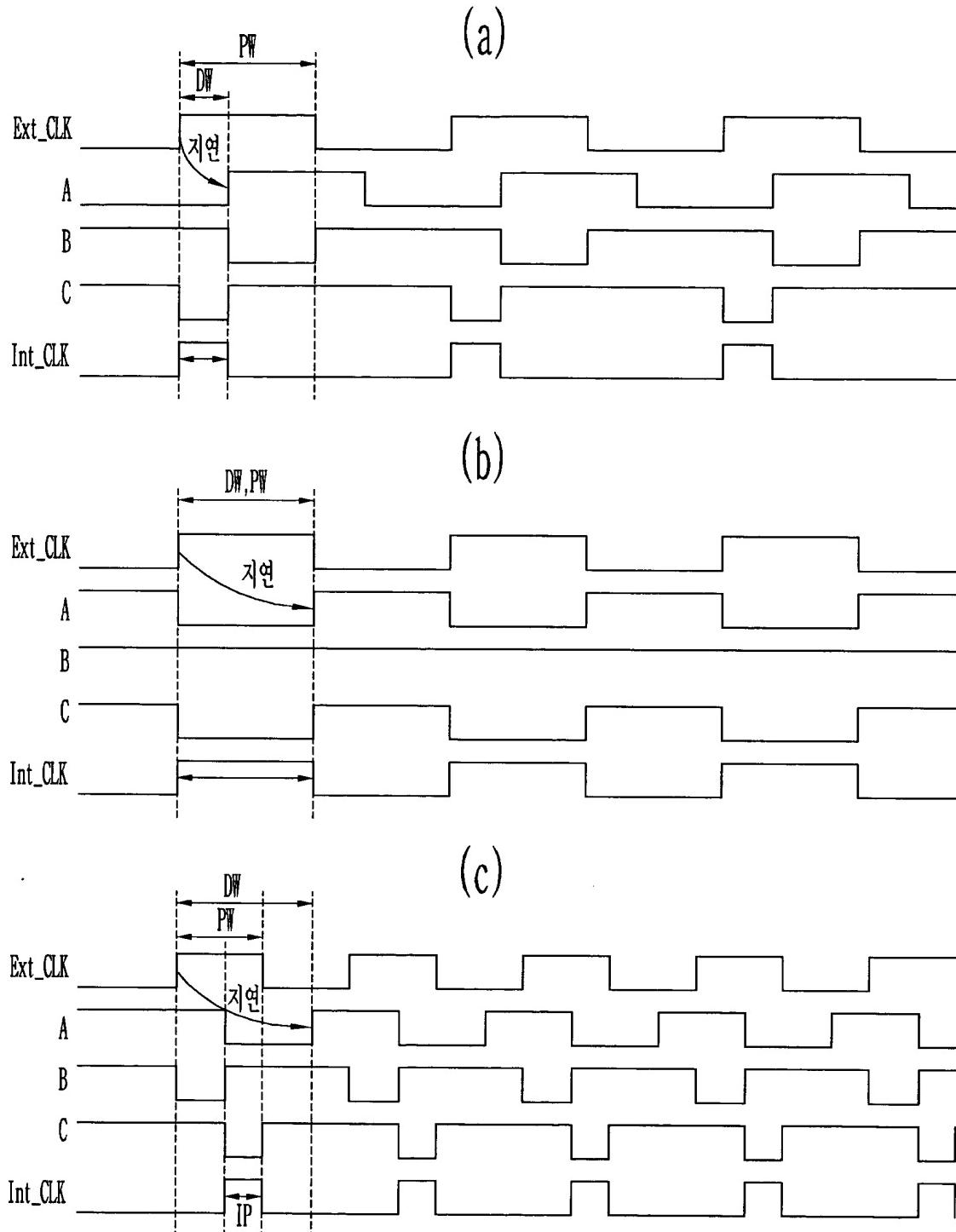




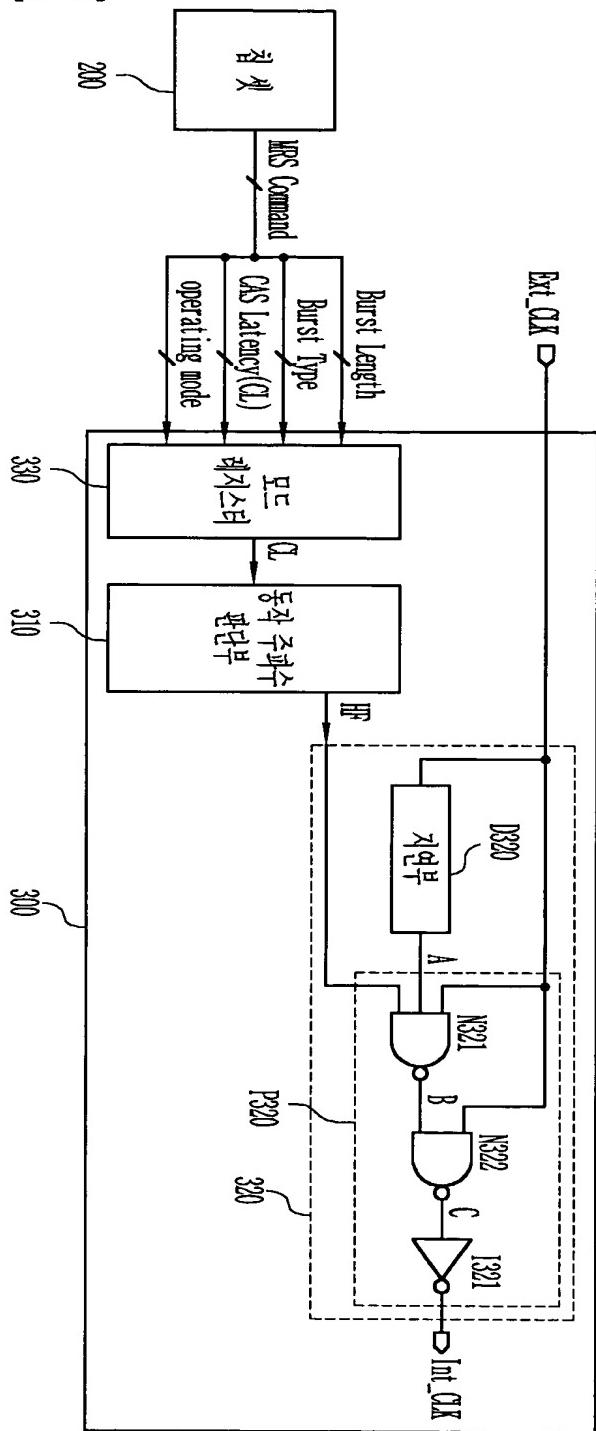
1020030039553

출력 일자: 2003/10/13

【도 2】



【도 3】





1020030039553

출력 일자: 2003/10/13

【도 6】

